

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

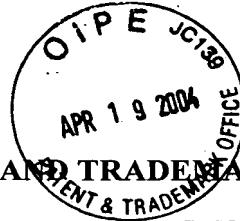
Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takamichi TSUCHIYA, et al.

GAU:

SERIAL NO: 10/635,574

EXAMINER:

FILED: August 7, 2003

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2002-231094	August 8, 2002

Certified copies of the corresponding Convention Application(s)

- are submitted herewith
- will be submitted prior to payment of the Final Fee
- were filed in prior application Serial No. filed
- were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- (B) Application Serial No.(s)
 - are submitted herewith
 - will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913
Joseph A. Scafetta, Jr.
Registration No. 26, 803

22850

101635,574
03S1019

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application: 2002年 8月 8日

出願番号 Application Number: 特願 2002-231094

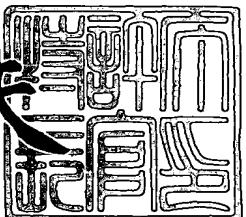
[ST. 10/C]: [JP 2002-231094]

出願人 Applicant(s): 株式会社東芝

2003年 8月 12日

特許庁長官
Commissioner,
Japan Patent Office

今井康夫



【書類名】 特許願
【整理番号】 A000200599
【提出日】 平成14年 8月 8日
【あて先】 特許庁長官 殿
【国際特許分類】 H01L 27/00
【発明の名称】 半導体装置
【請求項の数】 9
【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
【氏名】 土屋 隆紀
【発明者】
【住所又は居所】 神奈川県横浜市磯子区新杉田町8番地 株式会社東芝横浜事業所内
【氏名】 矢吹 宗
【特許出願人】
【識別番号】 000003078
【氏名又は名称】 株式会社 東芝
【代理人】
【識別番号】 100058479
【弁理士】
【氏名又は名称】 鈴江 武彦
【電話番号】 03-3502-3181
【選任した代理人】
【識別番号】 100084618
【弁理士】
【氏名又は名称】 村松 貞男

【選任した代理人】**【識別番号】** 100068814**【弁理士】****【氏名又は名称】** 坪井 淳**【選任した代理人】****【識別番号】** 100092196**【弁理士】****【氏名又は名称】** 橋本 良郎**【選任した代理人】****【識別番号】** 100091351**【弁理士】****【氏名又は名称】** 河野 哲**【選任した代理人】****【識別番号】** 100088683**【弁理士】****【氏名又は名称】** 中村 誠**【選任した代理人】****【識別番号】** 100070437**【弁理士】****【氏名又は名称】** 河井 将次**【手数料の表示】****【予納台帳番号】** 011567**【納付金額】** 21,000円**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】

下地絶縁膜と、

前記下地絶縁膜上に形成され、下部電極と、上部電極と、前記上部電極と下部電極との間に設けられた誘電体膜とを有するキャパシタと、

前記下地絶縁膜を貫通し、前記下部電極に接続されたプラグと、

前記キャパシタ及び前記下地絶縁膜を覆い、前記下地絶縁膜よりも酸素の透過性が低い酸素バリア膜と、

を備えたことを特徴とする半導体装置。

【請求項 2】

前記下地絶縁膜の下に設けられ、前記下地絶縁膜よりも酸素の透過性が低い膜をさらに備えた

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記キャパシタ及び前記下地絶縁膜を覆い、前記キャパシタ及び前記下地絶縁膜と前記酸素バリア膜との間に設けられ、前記下地絶縁膜よりも水素の透過性が低い水素バリア膜をさらに備えた

ことを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

下地絶縁膜と、

前記下地絶縁膜上に形成され、下部電極と、上部電極と、前記上部電極と下部電極との間に設けられた誘電体膜とを有するキャパシタと、

前記下地絶縁膜を貫通し、前記下部電極に接続されたプラグと、

前記下地絶縁膜と前記プラグとの間に設けられ、前記下地絶縁膜よりも酸素の透過性が低い酸素バリア膜と、

を備えたことを特徴とする半導体装置。

【請求項 5】

前記下地絶縁膜の下に設けられ、前記下地絶縁膜よりも酸素の透過性が低い膜をさらに備えた

ことを特徴とする請求項4に記載の半導体装置。

【請求項6】

前記酸素バリア膜は、シリコン塗化膜、シリコン酸塗化膜、酸化アルミニウム膜及び酸化チタン膜の少なくとも一つを含む

ことを特徴とする請求項1又は4に記載の半導体装置。

【請求項7】

前記プラグは、タンゲステン又はポリシリコンからなる
ことを特徴とする請求項1又は4に記載の半導体装置。

【請求項8】

前記下部電極はイリジウムを含む
ことを特徴とする請求項1又は4に記載の半導体装置。

【請求項9】

下地絶縁膜と、

前記下地絶縁膜上に形成され、下部電極と、上部電極と、前記上部電極と下部電極との間に設けられた誘電体膜とを有するキャパシタと、

前記下地絶縁膜を貫通し、前記下部電極に接続されたプラグと、

前記キャパシタ及び前記下地絶縁膜を覆い、前記下地絶縁膜よりも酸素の透過性が低い第1の酸素バリア膜と、

前記下地絶縁膜と前記プラグとの間に設けられ、前記下地絶縁膜よりも酸素の透過性が低い第2の酸素バリア膜と、

を備えたことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置、特に強誘電体を用いたキャパシタを有する半導体装置に関する。

【0002】

【従来の技術】

キャパシタの誘電体膜にPZT (Pb (Zr, Ti) O₃) 等の強誘電体を用いた不揮発性のメモリ (F e R A M) について研究開発が行われている。このような強誘電体メモリの構造の一つとして、プラグ上にキャパシタの下部電極を形成構造 (COP (Capacitor On Plug) 構造) が知られている。

【0003】

しかしながら、COP構造を用いた場合、アニール工程におけるプラグの酸化が大きな問題となる。すなわち、強誘電体メモリの製造に際しては、強誘電体膜を結晶化するためのアニールや、キャパシタ加工時のダメージを回復するためのリカバリーアニールなど、酸素を含有した雰囲気でのアニール工程が行われる。このアニール工程によってプラグが酸化され、プラグ抵抗の増大やコンタクト抵抗の増大が生じ得る。

【0004】

プラグへの酸素の拡散経路としては、強誘電体膜中を拡散する経路、下部電極の直下に形成された絶縁膜中を拡散する経路等が考えられる。前者については、下部電極に酸素に対するバリア性の強い電極材料を用いることで改善がはかられている。しかしながら、後者については十分な対策がなされておらず、プラグが酸化される大きな要因となっている。

【0005】

【発明が解決しようとする課題】

このように、COP構造を有する強誘電体メモリでは、プラグの酸化が大きな問題となっているが、従来は十分な対策が施されておらず、素子の特性や信頼性を低下させる大きな要因となっていた。

【0006】

本発明は上記従来の課題に対してなされたものであり、プラグの酸化を抑制し、特性や信頼性を向上させることが可能な半導体装置を提供することを目的としている。

【0007】

【課題を解決するための手段】

本発明に係る半導体装置は、下地絶縁膜と、前記下地絶縁膜上に形成され、下部電極と、上部電極と、前記上部電極と下部電極との間に設けられた誘電体膜とを有するキャパシタと、前記下地絶縁膜を貫通し、前記下部電極に接続されたプラグと、前記キャパシタ及び前記下地絶縁膜を覆い、前記下地絶縁膜よりも酸素の透過性が低い酸素バリア膜と、を備えたことを特徴とする。

【0008】

また、本発明に係る半導体装置は、下地絶縁膜と、前記下地絶縁膜上に形成され、下部電極と、上部電極と、前記上部電極と下部電極との間に設けられた誘電体膜とを有するキャパシタと、前記下地絶縁膜を貫通し、前記下部電極に接続されたプラグと、前記下地絶縁膜と前記プラグとの間に設けられ、前記下地絶縁膜よりも酸素の透過性が低い酸素バリア膜と、を備えたことを特徴とする。

【0009】

また、本発明に係る半導体装置は、下地絶縁膜と、前記下地絶縁膜上に形成され、下部電極と、上部電極と、前記上部電極と下部電極との間に設けられた誘電体膜とを有するキャパシタと、前記下地絶縁膜を貫通し、前記下部電極に接続されたプラグと、前記キャパシタ及び前記下地絶縁膜を覆い、前記下地絶縁膜よりも酸素の透過性が低い第1の酸素バリア膜と、前記下地絶縁膜と前記プラグとの間に設けられ、前記下地絶縁膜よりも酸素の透過性が低い第2の酸素バリア膜と、を備えたことを特徴とする。

【0010】

【発明の実施の形態】

以下、本発明の実施形態を図面を参照して説明する。

【0011】

(実施形態1)

図1は、本発明の第1の実施形態に係る半導体装置（COP構造を有する強誘電体メモリ）の構造を模式的に示した断面図である。

【0012】

シリコン基板等の半導体基板11上には、MISトランジスタ12が形成されており、MISトランジスタ12を覆うようにして層間絶縁膜（例えば、TEO

Sを用いたシリコン酸化膜) 13が形成されている。

【0013】

層間絶縁膜13上には、酸素バリア膜14が形成され、さらにその上には絶縁膜(下地絶縁膜)15が形成されている。酸素バリア膜14には、例えばLPCVD(減圧CVD)法によって形成されたシリコン窒化膜が用いられ、絶縁膜15には、例えばTEOSを用いてLPCVD法によって形成されたシリコン酸化膜が用いられる。

【0014】

トランジスタ12のソース／ドレインにはプラグ16が接続されており、このプラグ16は層間絶縁膜13、酸素バリア膜14及び絶縁膜15を貫通してキャパシタの下部電極21に接続されている。プラグ16には、タンゲステン(W)或いはポリシリコン等の導電材料が用いられる。

【0015】

キャパシタ(強誘電体キャパシタ)は、下部電極21、下部電極21上に形成された強誘電体膜22及び、強誘電体膜22上に形成された上部電極23によつて構成されている。下部電極21及び上部電極23には、例えばイリジウム(Ir)膜或いは酸化イリジウム(IrO₂)膜が用いられる。これらの材料は酸素に対するバリア性が高いため、特に下部電極21にこれらの材料を用いることで、強誘電体膜22からプラグ16に向かう酸素の拡散を抑制することができる。強誘電体膜22には、例えばPZT膜(Pb(Zr, Ti)O₃膜)が用いられる。

【0016】

キャパシタの上部電極23上には、水素バリア膜31として、酸化アルミニウム(Al₂O₃:アルミナ)膜が形成され、さらにその上にはTEOSを用いたシリコン酸化膜32が形成されている。CVD法によってシリコン酸化膜32を形成する際に、成膜雰囲気に含まれている水素が強誘電体膜22に拡散すると、水素の還元作用によってキャパシタの特性が劣化する。水素バリア膜31は、このような水素の拡散を抑制するためのものである。強誘電体膜22、上部電極23、水素バリア膜31及びシリコン酸化膜32の周囲には、水素バリア膜33とし

て Al_2O_3 膜が形成され、さらにその上にはTEOSを用いたシリコン酸化膜34が形成されている。水素バリア膜33の機能は、上述した水素バリア膜31と同様である。

【0017】

以上説明した構成については、基本的には従来の強誘電体メモリと同様であるが、本実施形態では、さらに酸素バリア膜41を備えている。酸素バリア膜41は、RIEによって絶縁膜15等をパターニングした後、絶縁膜15やキャパシタ（下部電極21、強誘電体膜22及び上部電極23）等で構成された積層構造の周囲全体を覆うように形成する。

【0018】

酸素バリア膜41には、絶縁膜（シリコン酸化膜）15よりも酸素の透過性（透過率）が低いものが用いられる。すなわち、単位厚さあたりで比較した場合に、絶縁膜15よりも酸素の透過率が低いものを酸素バリア膜41として用いる。具体的には、酸素バリア膜41として、シリコン窒化膜（SiN膜）、シリコン酸窒化膜（SiON膜）、酸化アルミニウム膜（ Al_2O_3 膜）或いは酸化チタン膜（ TiO_2 膜）を用いる。また、これらの積層膜を酸素バリア膜41として用いることも可能である。シリコン窒化膜及びシリコン酸窒化膜の形成には、例えばプラズマCVDやLPCVD等のCVD法が用いられる。

【0019】

以上述べたように、本実施形態では、絶縁膜15及びキャパシタ等で構成された積層構造の周囲全体が酸素バリア膜41によって覆われている。そのため、図1に示した構造を作製した後、酸素を含む雰囲気中でアニールを行う際に、絶縁膜15内への酸素の侵入を抑制することができる。したがって、アニール工程でのプラグ16の酸化を防止することができるため、プラグ抵抗の増大やコンタクト抵抗の増大を抑制することができ、特性や信頼性に優れた強誘電体メモリを得ることができる。特に、プラグ16にWプラグやポリシリコンプラグを用いた場合には、酸化の影響が大きいため、上記構造はより効果的である。

【0020】

また、絶縁膜15の下には酸素バリア膜14が形成され、絶縁膜15及びプラ

グ16の上には、酸素に対するバリア性が高いIr膜或いはIrO₂膜が用いられている。したがって、プラグ16への酸素の拡散をより確実に抑制することができ、プラグ16の酸化をより確実に防止することができる。

【0021】

図2は、本実施形態の変更例に係る半導体装置の構造を模式的に示した断面図である。

【0022】

基本的な構造は図1と同様であるが、本変更例では、上述した積層構造の周囲全体を覆う水素バリア膜42を、酸素バリア膜41と積層構造との間に設けている。水素バリア膜42には、絶縁膜（シリコン酸化膜）15よりも水素の透過性（透過率）が低いもの、具体的にはAl₂O₃膜を用いることが望ましい。

【0023】

酸素バリア膜41として、プラズマCVD或いはLPCVDによって形成されたシリコン窒化膜或いはシリコン酸窒化膜を用いた場合、成膜雰囲気には水素が多く含有されている。すでに説明したように、成膜雰囲気に含まれた水素が強誘電体膜22に拡散すると、キャパシタの特性が劣化してしまう。水素バリア膜としては、Al₂O₃膜31及び33がすでに形成されているが、酸素バリア膜41を形成する際に、例えば絶縁膜15を通してキャパシタ内に水素が侵入するおそれもある。本実施形態では、水素バリア膜42を設けることで、酸素バリア膜41を形成する際のキャパシタ中への水素の拡散をより確実に抑制することができる。

【0024】

（実施形態2）

図3は、本発明の第2の実施形態に係る半導体装置（COP構造を有する強誘電体メモリ）の構造を模式的に示した断面図である。なお、図1に示した構成要素と対応する構成要素については同一の参照番号を付し、それらの詳細な説明は省略する。

【0025】

本実施形態では、図3に示すように、プラグ16の周囲、すなわち層間絶縁膜

(シリコン酸化膜) 13、酸素バリア膜14及び絶縁膜(シリコン酸化膜) 15とプラグ16との間に、酸素バリア膜17を設けている。この酸素バリア膜17には、第1の実施形態で説明した酸素バリア膜14と同様、絶縁膜(シリコン酸化膜) 15よりも酸素の透過性(透過率)が低いものが用いられる。すなわち、単位厚さあたりで比較した場合に、絶縁膜15よりも酸素の透過率が低いものを酸素バリア膜17として用いる。具体的には、酸素バリア膜17として、シリコン窒化膜(SiN膜)、シリコン酸窒化膜(SiON膜)、酸化アルミニウム膜(Al₂O₃膜)或いは酸化チタン膜(TiO₂膜)を用いる。また、これらの積層膜を酸素バリア膜17として用いることも可能である。シリコン窒化膜及びシリコン酸窒化膜の形成には、例えばプラズマCVDやLPCVD等のCVD法が用いられる。

【0026】

図4は、図3に示したプラグ16及び酸素バリア膜17の形成方法を模式的に示した断面図である。

【0027】

まず、図4(a)に示すように、層間絶縁膜13、酸素バリア膜14及び絶縁膜15に、RIE法によってコンタクトホール18を開ける。次に、図4(b)に示すように、コンタクトホール18を含む全面に酸素バリア膜17をCVD法等によって形成する。続いて、図4(c)に示すように、酸素バリア膜17をエッチバックして、コンタクトホール18の側壁に選択的に酸素バリア膜17を残す。その後、図4(d)に示すように、コンタクトホール18を含む全面にプラグ材料としてタンクスチン(W)或いはポリシリコン等の導電材料を形成し、さらにCMP法等によって余分なプラグ材料を除去することで、コンタクトホール18内に選択的にプラグ17を形成する。

【0028】

このように本実施形態では、プラグ16の周囲に酸素バリア膜17が形成されている。そのため、図3に示した構造を作製した後、酸素を含む雰囲気中でアニールを行う際に、絶縁膜15からプラグ16に拡散してくる酸素を酸素バリア膜17によってブロックすることができ、プラグ16への酸素の侵入を抑えること

ができる。したがって、アニール工程でのプラグ16の酸化を防止することができるため、プラグ抵抗の増大やコンタクト抵抗の増大を抑制することができ、特性や信頼性に優れた強誘電体メモリを得ることができる。

【0029】

(実施形態3)

図5は、本発明の第3の実施形態に係る半導体装置（COP構造を有する強誘電体メモリ）の構造を模式的に示した断面図である。

【0030】

本実施形態は、第1の実施形態で説明した酸素バリア膜41及び第2の実施形態で説明した酸素バリア膜17の両方を設けたものである。その他の基本的な構成については、第1の実施形態及び第2の実施形態と同様であり、それらの詳細な説明は省略する。なお、図5の例は、図1及び図3の構造を組み合わせた構造に対応するが、図2及び図3の構造を組み合わせて、酸素バリア膜41の下に図2に示した水素バリア膜42を設けるようにしてもよい。

【0031】

本実施形態では、酸素バリア膜41及び17を設けることで、プラグ16への酸素の侵入をより確実に抑制することができ、特性や信頼性に優れた強誘電体メモリを得ることができる。

【0032】

以上、本発明の実施形態を説明したが、本発明は上記実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することができる。さらに、上記実施形態には種々の段階の発明が含まれており、開示された構成要件を適宜組み合わせることによって種々の発明が抽出され得る。例えば、開示された構成要件からいくつかの構成要件が削除されても、所定の効果が得られるものであれば発明として抽出され得る。

【0033】

【発明の効果】

本発明によれば、酸素バリア膜によってプラグの酸化を防止することができるため、特性や信頼性に優れた半導体装置を得ることが可能となる。

【図面の簡単な説明】**【図 1】**

本発明の第 1 の実施形態に係る半導体装置の構造を模式的に示した断面図である。

【図 2】

本発明の第 1 の実施形態の変更例に係る半導体装置の構造を模式的に示した断面図である。

【図 3】

本発明の第 2 の実施形態に係る半導体装置の構造を模式的に示した断面図である。

【図 4】

本発明の第 2 の実施形態に係る半導体装置の製造工程の一部を模式的に示した断面図である。

【図 5】

本発明の第 3 の実施形態に係る半導体装置の構造を模式的に示した断面図である。

【符号の説明】

1 1 …半導体基板

1 2 …M I S トランジスタ

1 3 …層間絶縁膜

1 4 、 1 7 、 4 1 …酸素バリア膜

1 5 …絶縁膜

1 6 …プラグ

1 8 …コンタクトホール

2 1 …下部電極

2 2 …強誘電体膜

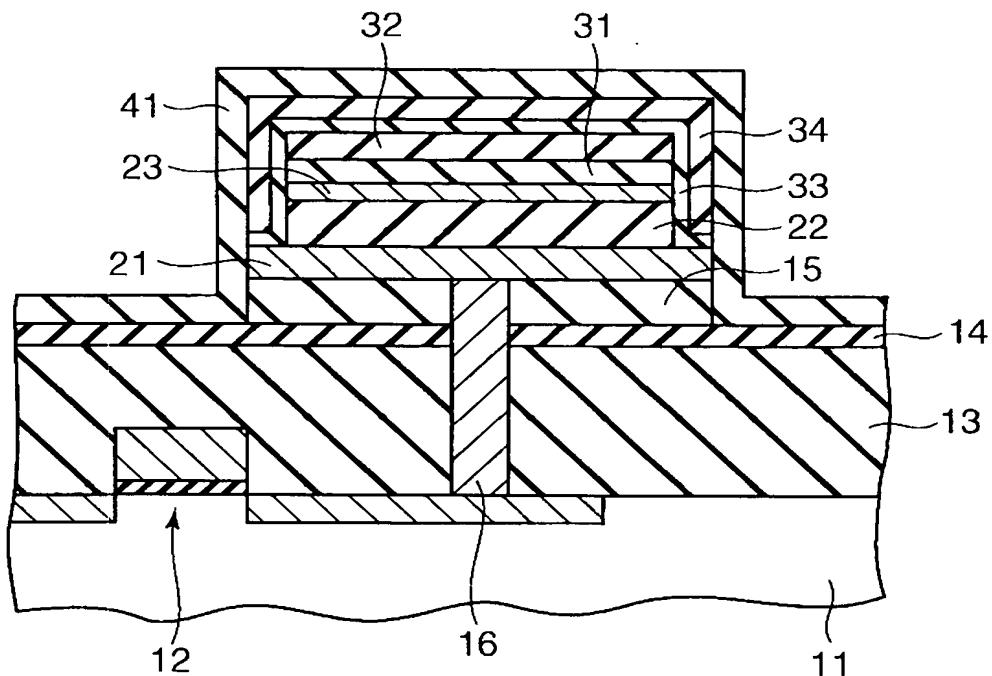
2 3 …上部電極

3 1 、 3 3 、 4 2 …水素バリア膜

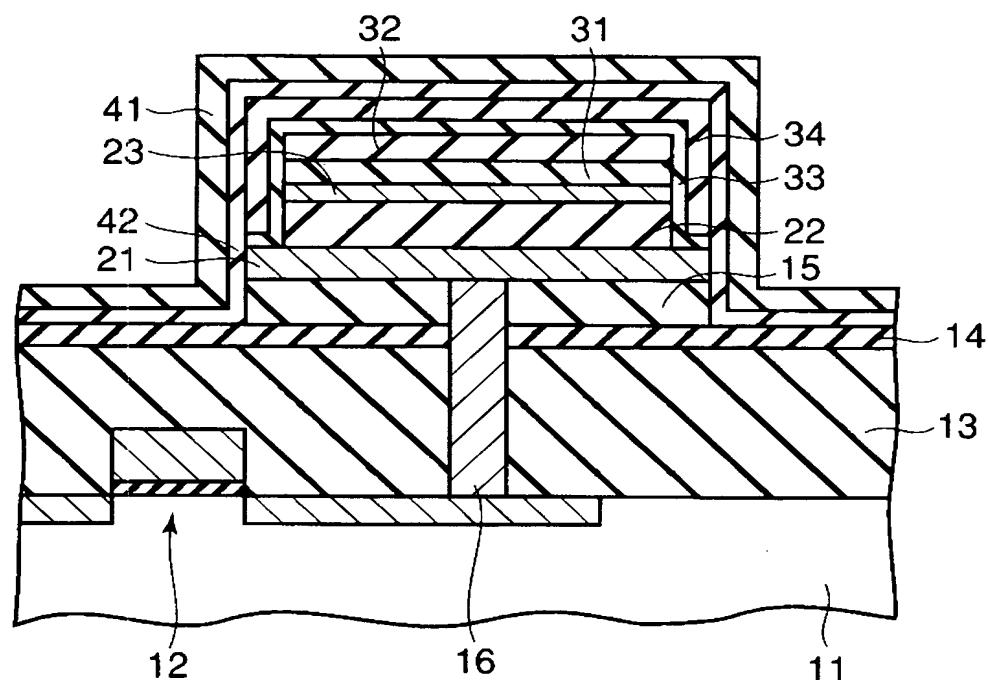
3 2 、 3 4 …シリコン酸化膜

【書類名】 図面

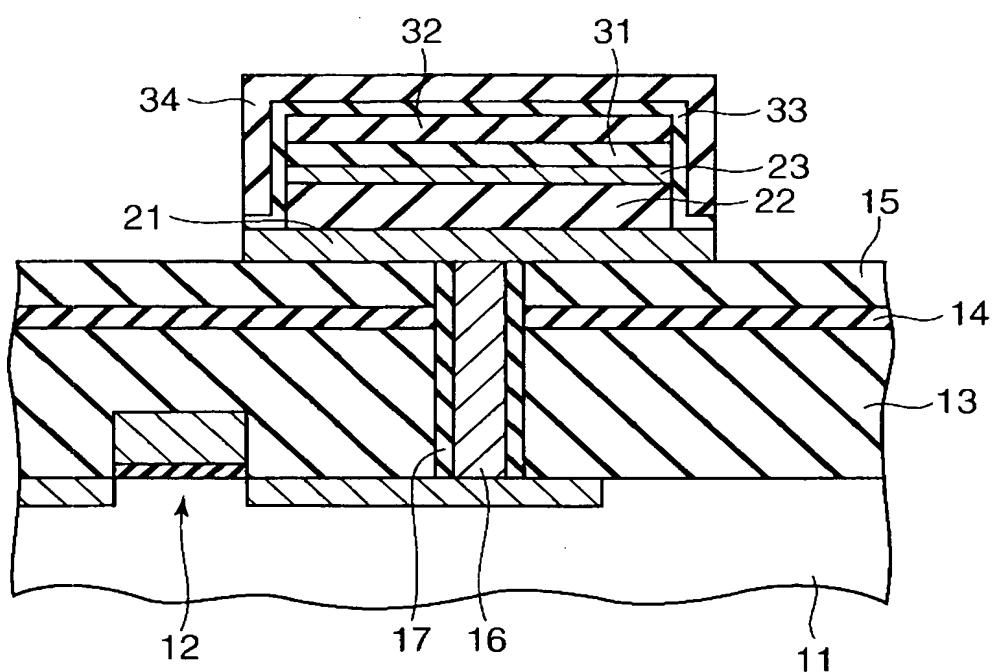
【図 1】



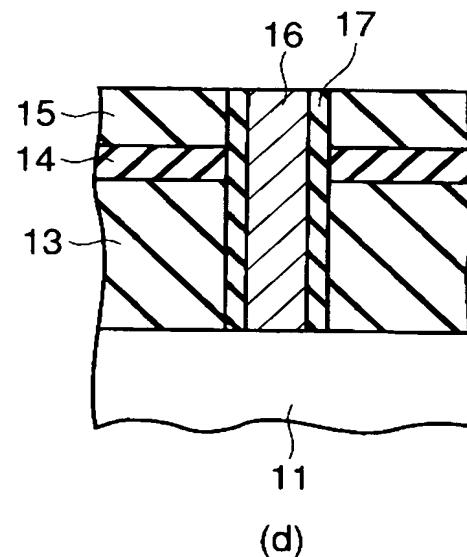
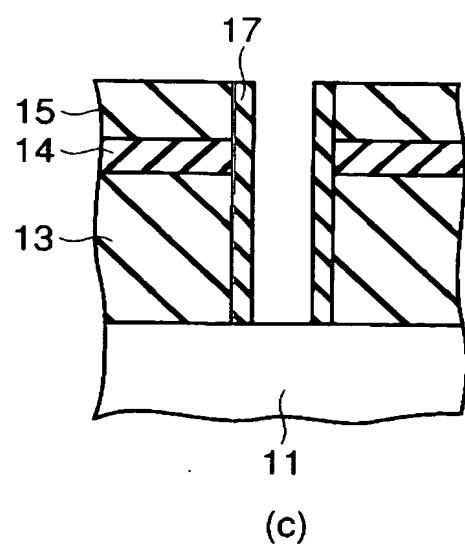
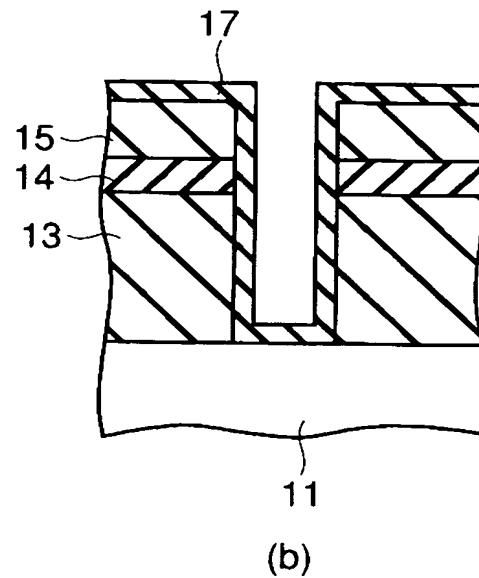
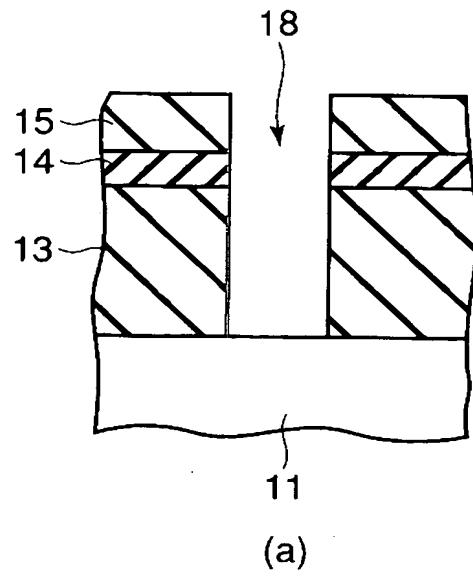
【図2】



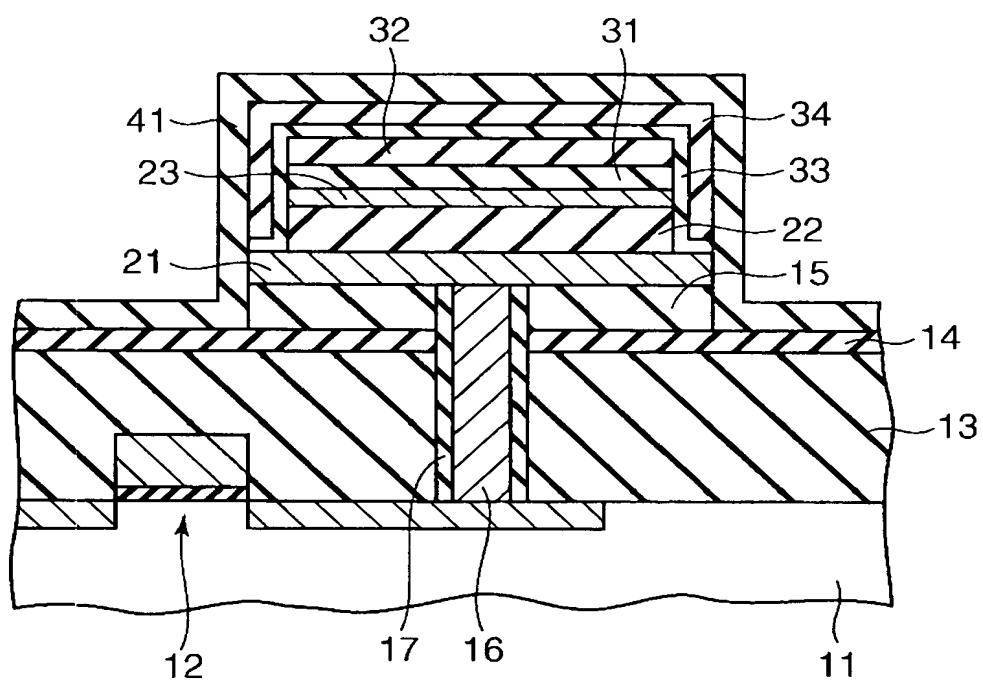
【図3】



【図4】



【図5】



【書類名】 要約書

【要約】

【課題】 プラグの酸化を抑制し、特性や信頼性を向上させることが可能な半導体装置を提供する。

【解決手段】 下地絶縁膜15と、下地絶縁膜上に形成され、下部電極21と、上部電極23と、上部電極と下部電極との間に設けられた誘電体膜22とを有するキャパシタと、下地絶縁膜を貫通し、下部電極に接続されたプラグ16と、キャパシタ及び下地絶縁膜を覆い、下地絶縁膜よりも酸素の透過性が低い酸素バリア膜41とを備える。

【選択図】 図1

特願 2002-231094

出願人履歴情報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号
氏 名 株式会社東芝